

# Masterarbeit

## Untersuchung der Fehlersensitivität des DC-Lastflussmodells eines Universal Power Flow Controllers (UPFC)

### Ausgangslage und Motivation

Der linearisierten DC-Lastflusses ist für techno-ökonomische Studien ein weitverbreitetes Tool. Durch die steigende Anzahl an lastflussregelnden Elementen wie Phasenschiebertransformatoren und Universal Power Flow Controller ist es notwendig, diese mit geeigneten Modellen in den DC-Lastfluss zu integrieren. Während es schon einige Untersuchungen zu den Fehlersensitivitäten des DC-Lastflusses für die generellen Vereinfachungen gibt, wurden das Modell des UPFC im spezielle noch nicht ausreichend betrachtet.

### Forschungsfrage(n)

Bedingt durch die Vereinfachungen und Linearisierungen bei der Erstellung und Anwendung von DC-Lastflussmodellen weisen die Berechnungsergebnisse Abweichungen zu den Ergebnissen der aufwändigeren AC-Lastflussberechnung und sich real einstellender Lastflüsse auf. Im Zuge dieser Arbeit soll die Sensitivität der Berechnungsfehler auf die Annahmen und Vereinfachungen des DC-Lastflussmodells des UPFC untersucht werden.

### Vorgehensweise/Methodik/Aufgabenstellung

Es soll ein geeignetes Testnetz (z.B.: IEEE 39 Bus) mit UPFCs ausgestattet werden und die Ergebnisse des DC-Lastflusses mit dem AC-Lastfluss verglichen werden. Der DC-Lastfluss soll in MatLab realisiert werden, der AC-Lastfluss in einer geeigneten Lastflusssoftware (z.B.: DigSilent PowerFactory).

### Organisatorisches

**Beginn ab sofort.**

### Ansprechperson/Betreuer

Stefan Polster – stefan.polster@tugraz.at

Herwig Renner – herwig.renner@tugraz.at