

**Der Dekan der Fakultät für
Elektrotechnik und Informationstechnik**

Univ.-Prof. DI Dr.techn.
Martin **HORN**
Tel.: +43(0)316-873-7025
E-Mail: martin.horn@tugraz.at

Dekanat der Fakultät für
Elektrotechnik und Informationstechnik
Alexandra ZAVEC, MBA
Inffeldgasse 18, A-8010 Graz
Tel.: +43(0)316-873-7110
Fax: +43(0)316-873-107110
E-Mail: zavec@tugraz.at
www.etit.tugraz.at

Graz, am 11.04.2025
Ergänzung Webex-Link am 16.04.2025

UID: ATU 574 77 929

Ergeht an

- Herrn Studiendekan Univ.-Prof. Mag. Dr. Alexander Bergmann
- Frau Dipl.-Ing. Gudrun Haage (AK für Gleichbehandlungsfragen)
- Frau Ass.-Prof. Dr. Evelyn Krall (BRW)
- Mitglieder des Selection Boards
- Institute der Fakultät für ETIT
- Hochschülerschaft an der TU Graz
- Ankündigung im Veranstaltungskalender der TU Graz und auf der Homepage der Fakultät ETIT

**Besetzung einer Laufbahnprofessur gemäß § 99 Abs. 5 UG im Fachgebiet
Reconfigurable Computer Architectures am Institut für Technische Informatik
der Fakultät für Elektrotechnik und Informationstechnik:
Öffentliches Hearing und nicht öffentliches Bewerbungsgespräch am Dienstag, 29.04.2025**

Sehr geehrte Damen und Herren!

Hiermit lade ich Sie höflich zum öffentlichen Hearing und – falls es in Ihre Kompetenz fällt – zum nicht öffentlichen Bewerbungsgespräch für die am Institut für Technische Informatik zu besetzende Laufbahnprofessur im Fachgebiet „Reconfigurable Computer Architectures“ ein.

Im Rahmen des öffentlichen Hearings wird der Bewerber um eine Präsentation seiner wissenschaftlichen Leistung auf dem Gebiet Reconfigurable Computer Architectures zum Thema „Die Zukunft rekonfigurierbarer Rechnerarchitektur“ bzw. „The prospect future of Reconfigurable Computer Architectures“ gebeten. Der wissenschaftliche Vortrag soll eine Gesamtdauer von ca. 30 Minuten aufweisen mit einer nachfolgenden Frage-und-Antwort-Runde, wobei die ersten 15 Minuten des Vortrags auf das Niveau von Bachelorstudierenden ausgerichtet sein sollen. Die Sprache (Deutsch/Englisch) ist frei wählbar.

Nach dem öffentlichen Hearing findet unter Ausschluss der Öffentlichkeit das Bewerbungsgespräch unter Beisein der Mitglieder des Selection Boards und meiner Leitung mit folgendem Inhalt statt:

Kurze Präsentation (Dauer ca. 10 Minuten) des Bewerbers und Stellungnahme zu den folgenden Themen mit anschließender Diskussionsmöglichkeit:

- ⇒ Gründe und Motive für die Bewerbung
- ⇒ Vergangene und zukünftige Interessen im Bereich Forschung
- ⇒ Vergangene und zukünftige Interessen im Bereich Lehre
- ⇒ Synergien zwischen Forschungs- und Lehrinteressen
- ⇒ Persönliche Stärken und Erfahrungen, die zur Weiterentwicklung des Forschungs- und Lehrbereiches des Institutes beitragen
- ⇒ Möglichkeiten, um Forschungs- und Lehrinteressen in die Institutsschwerpunkte integrieren zu können

Das Selection Board hat sodann in seiner 1. Sitzung am 29.04.2025 einen begründeten Vorschlag zu erarbeiten. Bevor dieser Vorschlag inkl. Unterlagen an den Rektor übermittelt wird, ist er den Universitätsprofessor*innen der Fakultät zugänglich zu machen, die innerhalb von 10 Arbeitstagen ihrem Anhörungsrecht nachkommen und eine Stellungnahme an den Dekan übermitteln können.

Mit freundlichen Grüßen

gez. Univ.-Prof. DI Dr. Martin Horn
Dekan

Dienstag, 29.04.2025	Programm	Bewerber
12:00 Uhr	Öffentliches Hearing im NXP Semiconductors Seminarraum, IE01090, Inffeldgasse 16/1. OG, 8010 Graz & via Webex-Link: https://tugraz.webex.com/meet/tobias.scheipel (Online-Teilnehmer*innen können Fragen zum Vortrag über den Chat des Webex-Raumes stellen.)	Tobias Peter SCHEIPEL , Dipl.-Ing. Dr.techn. BSc, Graz, Österreich
12:45 Uhr	Nicht öffentliches Bewerbungsgespräch mit dem Selection Board im NXP Semiconductors Seminarraum, IE01090, Inffeldgasse 16/1. OG, 8010 Graz	

Abstract:

The talk "**The Prospect Future of Reconfigurable Computer Architectures**" explores the growing need for modern computing systems to quickly and efficiently adapt to evolving requirements—particularly in resource-constrained, embedded environments. Starting from a fundamental perspective on computer architecture, I highlight the drawbacks of static hardware design, which often leads to premature obsolescence and electronic waste. Consequently, the core concepts of runtime-reconfigurability and dynamic partial reconfiguration are introduced, showing how this technology enables the hardware to evolve at runtime instead of being rigidly hardened at fabrication. The outlined issues motivate my research vision, which I illustrate along my research activities in runtime-reconfigurable RISC-V microcontrollers and adaptive operating system architectures—designed to demonstrate the feasibility and versatility of partially reconfigurable embedded devices. Furthermore, I showcase ongoing challenges and future directions, including tighter hardware/software codesign, AI-copiloted development, and the embedding of reconfigurable systems into mainstream computing—a trajectory well aligned with the university's commitment to sustainability. I also sketch how these concepts carry over into teaching, fostering adaptable and sustainable design practices. The talk concludes with how Reconfigurable Computer Architectures can shape the next generation of embedded computing by emphasizing sustainability, maintainability, and adaptability in modern digital system design.

CV:

Dr. Tobias Scheipel is a postdoctoral researcher and teacher in the Embedded Architectures & Systems Group at the Institute of Technical Informatics at Graz University of Technology. He received his PhD degree (Dr.techn.) sub auspiciis Praesidentis rei publicae (highest possible distinction for academic achievements for a doctoral degree in Austria) in Information and Communications Engineering from Graz University of Technology in 2022. Before his postgraduate studies, he received his Bachelor's and Master's degrees (Dipl.-Ing.) in Information and Computer Engineering at Graz University of Technology. His research focuses on sustainable, flexible, and runtime-reconfigurable processor and microcontroller architectures for embedded systems, with an interest in RISC-V architectures and hardware/software codesign concepts for both processor logic and embedded operating systems. Within this research area, he is the author of several peer-reviewed scientific publications in international journals and conference proceedings. He is an active member of RISC-V SIGs, Euromicro, the Association for Computing Machinery (ACM), and the German Informatics Society (GI). Apart from research, he is an active teacher at Graz University of Technology in related fields and is an Open Educational Resources (OER) advocate.