

Fortschritte im Verständnis von System Level ESD

Dr. David Pommerenke

Electromagnetic Compatibility Laboratory

Missouri University of Science and Technology

Der Vortrag beschreibt neuere Forschungsergebnisse und deren Anwendungen bezüglich des Schutzes von elektronischen Systemen gegen Elektrostatische Entladungen (ESD).

Dies beinhaltet

- SEED, System Efficient ESD Design, eine Simulationsstrategie, die erlaubt die zeitliche Interaktion von TVS und IC ESD Schutz zu berechnen. Was wird benötigt? Was kann erreicht werden?
- Probleme im IEC 61000-4-2 ESD Test Standard und potentielle Lösungen. Dies ist von Interesse, da dieser Standard gerade vom IEC modifiziert wird. Hier gibt es Bestrebungen die Luftentladung aus dem vorgeschriebenen Teil zu entfernen. Wie kann man die bekannten Probleme der Luftentladung reduzieren?
- Messtechnische Bestimmung von ESD-Empfindlichkeit gegenüber Zerstörung und Störung, z.B. auf PCB Ebene, aber auch USB 3.X. Wie kann man Soft-Failure-Verhalten quantifizieren? Welche Probleme gibt es mit USB-Verbindungen bezüglich ESD? Welche Testpegel und Testmethoden sind sinnvoll?
- IC-integrierte ESD Sensoren zur Erfassung der gekoppelten Störungen innerhalb eines Systems. Wie kann dies realisiert werden? Welche Ergebnisse liegen vor?

Dr. Pommerenke würde sich freuen, Fragen von Zuhörern vor dem Vortrag zu erhalten, so dass er Antworten im Vortrag einarbeiten kann. Bitte senden Sie ihre Fragen, oder Anregungen an davidjp@mst.edu.

Datum: 22. März 2019

Uhrzeit: 9:00 – 10:30

Ort: [Hörsaal i2](#) (Inffeldgasse 12, A-8010 Graz)

Die Teilnahme ist kostenlos und eine Anmeldung ist nicht erforderlich. Bei Rückfragen wenden Sie sich bitte an das Institut für Elektronik (+43 316 873 7521, sek.ife@tugraz.at)